



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0028176
Application Number

출 원 년 월 일 : 2003년 05월 02일
Date of Application MAY 02, 2003

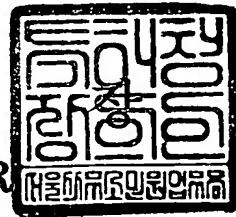
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2003.05.02
【국제특허분류】	H01L
【발명의 명칭】	래치 -업(Latch-up)에 의한 전류 흐름을 방지할 수 있는 반도체 장치
【발명의 영문명칭】	Semiconductor device capable of preventing current flow of Latch-up
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	안순홍
【성명의 영문표기】	AWN, Soon Hong
【주민등록번호】	721218-1822519
【우편번호】	440-330
【주소】	경기도 수원시 장안구 천천동 333 주공아파트 107동 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	이중화
【성명의 영문표기】	LEE, Jung Hwa
【주민등록번호】	661117-1769918
【우편번호】	442-736

1020030028176

출력 일자: 2003/11/20

【주소】 경기도 수원시 팔달구 영통동 살구골7단지 진덕아파트 703동
1601호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 1 면 1,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 18 항 685,000 원

【합계】 715,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

래치-업(Latch-up)에 의한 전류 흐름을 방지할 수 있는 반도체 장치가 개시된다. 본 발명에 따른 반도체 장치는 제 1웰, 제 2 웰 및 제 3 웰을 구비하는 것을 특징으로 한다. 제 1 웰은 외부 핀이 연결되는 패드에 연결되며 웰 바이어스 전압을 수신하는 제 1형 확산 영역을 구비한다. 제 2 웰은 상기 제 1 웰에 인접하여 배치되며 내부에 소정의 절연 영역을 구비하고 상기 절연 영역외부에는 제 2형 확산 영역을 구비한다. 제 3 웰은 상기 제 2 웰에 인접하여 배치되며 제 1 전압을 수신하는 제 1형 확산 영역을 구비한다. 상기 제 2 웰 내부의 상기 절연 영역은 상기 제 1 웰의 상기 제 1형 확산 영역과 함께 바이폴라 정션 트랜지스터(Bipolar Junction Transistor : BJT)를 형성하여 상기 제 1 웰로부터 상기 제 3 웰로 흐르는 전류를 차단하는 것을 특징으로 한다. 본 발명에 따른 반도체 장치는 패드에 고전압을 인가하여 전류 테스트를 할 경우 래치-업(Latch-Up)에 의한 전류의 흐름을 방지할 수 있어 반도체 장치에 발생되는 결함을 제거하는 장점이 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

래치-업(Latch-up)에 의한 전류 흐름을 방지할 수 있는 반도체 장치{Semiconductor device capable of preventing current flow of Latch-up}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 반도체 장치의 래이 아웃의 단면도를 나타내는 도면이다.

도 2는 도 1의 반도체 장치의 평면도를 나타내는 도면이다.

도 3은 본 발명의 실시예에 따른 반도체 장치의 래이 아웃의 단면도를 나타내는 도면이다.

도 4는 도 3의 반도체 장치의 평면도를 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <6> 본 발명은 반도체 장치에 관한 것으로서, 특히 래치-업에 의한 전류 흐름을 방지할 수 있는 반도체 장치에 관한 것이다.
- <7> 반도체 장치의 본딩 패드에 전류 테스트를 위하여 고전압을 인가하는 경우가 있다. 이 때 패드에 인가된 고전압에 의하여 반도체 장치 내부에 전류의 흐름이 발생하여 반도체 소자가 정상적인 동작을 수행할 수 없는 경우가 생기고 나아가 반도체 장치에 결함이 발생된다.

<8> 도 1은 일반적인 반도체 장치의 래이 아웃의 단면도를 나타내는 도면이다.

<9> 도 2는 도 1의 반도체 장치의 평면도를 나타내는 도면이다.

<10> 도 1 및 도 2를 참조하면, 제 1 N 웨爾(NW1)에 P 형 확산 영역(110)과 N 형 확산 영역(120)이 존재하고, 인접한 P 웨爾(PW)에 P 형 확산 영역(130)이 존재한다. P 웨爾(PW)에 인접한 제 2 N 웨爾(NW2)에 N 형 확산 영역(140)이 존재한다.

<11> 제 1 N 웨爾(NW1)의 P 형 확산 영역(110)에는 패드(P1)가 연결된다. 제 1 N 웨爾(NW1)의 N 형 확산 영역(120)에는 전원 전압(VDD)이 연결되고 P 웨爾(PW)의 P 형 확산 영역(130)과 제 2 N 웨爾(NW2)의 N 형 확산 영역(140)에는 접지 전압(VSS)이 연결된다.

<12> 제 1 N 웨爾(NW1)의 P 형 확산 영역(110)과 N 형 확산 영역(120) 및 P 웨爾(PW)의 P 형 확산 영역(130)은 바이폴라 정션 트랜지스터(Bipolar Junction Transistor : BJT)(Q1)를 구성한다. 그리고 제 1 N 웨爾(NW1)의 N 형 확산 영역(120)과 P 웨爾(PW)의 P 형 확산 영역(130) 및 제 2 N 웨爾(NW2)의 N 형 확산 영역(140)은 바이폴라 정션 트랜지스터(Q2)를 구성한다.

<13> 바이폴라 정션 트랜지스터(Q1)는 PNP 형 트랜지스터이고 바이폴라 정션 트랜지스터(Q2)는 NPN 형 트랜지스터이다.

<14> 바이폴라 정션 트랜지스터(Q1)의 베이스(B)와 컬렉터(C) 사이에는 이미 역방향의 전압이 인가되어 있으므로 이미터(A)와 베이스(B)사이에 순방향의 전압이 인가되면 바이폴라 정션 트랜지스터(Q1)는 액티브(active) 상태가 되어 전류(IC1)가 흐른다.

<15> 그런데 패드(P1)에 전류 테스트를 위하여 고전압, 즉 전원 전압(VDD)과 PN 정션의 턴 온 전압을 더한 전압 레벨 이상을 가지는 전압이 인가되므로 바이폴라 정션 트랜지스터(Q1)는 액티브 상태가 된다.

<16> 바이폴라 정션 트랜지스터(Q2)의 컬렉터(B)와 베이스(C)사이에는 역방향 전압이 인가되어 있으므로 베이스(C)와 이미터(D) 사이에 순방향 전압이 인가되면 바이폴라 정션 트랜지스터(Q2)는 액티브 상태가 된다.

<17> 그런데 저항(R_p)에 의해서 바이폴라 정션 트랜지스터(Q2)의 베이스(C)와 이미터(D) 사이에 PN 정션의 턴 온 전압 이상의 전압차이가 발생되면 베이스(C)와 이미터(D) 사이에 순방향 전압이 인가되게 되어 바이폴라 정션 트랜지스터(Q2)는 액티브 상태가 되고 전류(IC2)가 흐른다.

<18> 이와 같은 동작에 의하여 제 1 N 웨爾(NW1)의 P형 확산 영역(110)과 제 2 N 웨爾(NW2)의 N형 확산 영역(140)사이에 전류 경로가 형성되고 전류가 흐른다. 이와 같은 현상을 래치-업(Latch-Up)이라고 하며 반도체 장치의 결함을 유발하는 원인이 된다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명이 이루고자 하는 기술적 과제는 래치-업(Latch-Up)에 의한 전류 흐름을 방지하는 반도체 장치를 제공하는데 있다.

【발명의 구성 및 작용】

<20> 상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 반도체 장치는 제 1웨爾, 제 2 웨爾 및 제 3 웨爾을 구비하는 것을 특징으로 한다.

<21> 제 1 웨爾은 외부 편이 연결되는 패드에 연결되며 웨爾 바이어스 전압을 수신하는 제 1형 확산 영역을 구비한다. 제 2 웨爾은 상기 제 1 웨爾에 인접하여 배치되며 내부에 소정의 절연 영역을 구비하고 상기 절연 영역외부에는 제 2형 확산 영역을 구비한다.

<22> 제 3 웨는 상기 제 2 웨에 인접하여 배치되며 제 1 전압을 수신하는 제 1형 확산 영역을 구비한다.

<23> 상기 제 2 웨 내부의 상기 절연 영역은 상기 제 1 웨의 상기 제 1형 확산 영역과 함께 바이폴라 정션 트랜지스터(Bipolar Junction Transistor : BJT)를 형성하여 상기 제 1 웨로부터 상기 제 3 웨로 흐르는 전류를 차단하는 것을 특징으로 한다.

<24> 상기 제 2 웨는 상기 절연 영역과 상기 제 1 웨 사이에 배치되며 제 2형 확산 영역을 구비하는 제 1 서브 웨, 상기 절연 영역과 상기 제 3 웨 사이에 배치되며 제 2형 확산 영역을 구비하는 제 2 서브 웨를 구비하고, 상기 절연 영역은 제 1형 확산 영역을 구비하는 제 3 서브 웨인 것을 특징으로 한다.

<25> 상기 제 1 서브 웨은 P 웨이고, 상기 제 1 서브 웨의 상기 제 2 확산 영역에는 상기 제 1 전압이 인가되며, 상기 제 2 서브 웨은 P 웨이고, 상기 제 2 서브 웨의 상기 제 2 확산 영역에는 상기 제 1 전압이 인가되는 것을 특징으로 한다.

<26> 상기 제 3 서브 웨은 N 웨이고, 상기 제 3 서브 웨의 상기 제 1 확산 영역에는 제 2 전압이 인가되는 것을 특징으로 한다. 상기 제 1 전압은 접지 전압이고, 상기 제 2 전압은 상기 제 1 웨의 제1 확산 영역, 상기 제 1 서브 웨의 제 2 확산 영역 및 상기 제 3 서브 웨의 제 1 확산 영역으로 형성되는 바이폴라 트랜지스터의 베이스와 이미터 사이에 역방향 전압을 발생시킬 수 있는 전압 레벨이다.

<27> 상기 제 1 웨 및 상기 제 3 웨은 N 웨이다. 상기 제 1 웨의 상기 제 1형 확산 영역에 인가되는 웨 바이어스 전압은 전원 전압이다. 상기 패드가 연결되는 영역은 제 2형 확산 영역으로 만들어지는 것을 특징으로 한다.

<28> 상기 제 1형 확산 영역은 N 형 불순물로 형성되고, 상기 제 2형 확산 영역은 P 형 불순물로 이루어진다. 상기 제 2 웨의 상기 절연 영역은 상기 제 1 웨을 둘러싸는 구조이다.

<29> 상기 제 3 웨은 디플리션(depletion) 형태(type)의 모스 트랜지스터를 만들 수 있는 것을 특징으로 한다.

<30> 상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 반도체 장치는 제 1 N 웨, 제 1 P 웨 및 제 2 N 웨을 구비한다.

<31> 제 1 N 웨은 외부 핀이 연결되는 패드에 연결되며 웨 바이어스 전압을 수신하는 N형 확산 영역을 구비하고, 상기 패드 부근은 P 형 확산 영역으로 만들어진다.

<32> 제 1 P웨은 상기 제 1 N웨에 인접하여 배치되며 내부에 소정의 절연 영역을 구비하고 상기 절연 영역외부에는 접지 전압을 수신하는 제 P형 확산 영역을 구비한다.

<33> 제 2 N 웨은 상기 제 1 P웨에 인접하여 배치되며 접지 전압을 수신하는 N형 확산 영역을 구비한다. 상기 제 1 P웨 내부의 상기 절연 영역은 제어 전압을 수신하는 N 형 확산 영역을 구비하는 제 3 N웨이다.

<34> 제 1 P 웨은 상기 절연 영역과 상기 제 1 N웨 사이에 배치되며 P형 확산 영역을 구비하는 제 1 서브 P웨 및 상기 절연 영역과 상기 제 2 N웨 사이에 배치되며 P형 확산 영역을 구비하는 제 2 서브 P웨을 구비하는 것을 특징으로 한다.

<35> 상기 제 1 N 웨의 N형 확산 영역과 상기 제 1 서브 P 웨의 P형 확산 영역 및 상기 절연 영역의 N형 확산 영역은 바이폴라 정션 트랜지스터(Bipolar Junction Transistor : BJT)를 구성하여 상기 제 1 N웨로부터 상기 제 2 N 웨로 흐르는 전류를 차단하는 것을 특징으로 한다.

<36> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<37> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<38> 도 3은 본 발명의 실시예에 따른 반도체 장치의 래이 아웃의 단면도를 나타내는 도면이다.

<39> 도 4는 도 3의 반도체 장치의 평면도를 나타내는 도면이다.

<40> 도 3 및 도 4를 참조하면, 본 발명에 따른 반도체 장치(300)는 제 1웰(W1), 제 2 웰(W2) 및 제 3 웰(W3)을 구비한다. 제 1 웰(W1)은 외부 핀이 연결되는 패드(P1)에 연결되며 웰 바이어스 전압(VDD)을 수신하는 제 1형 확산 영역(320)을 구비한다. 제 2 웰(W2)은 제 1 웰(W1)에 인접하여 배치되며 내부에 소정의 절연 영역(BR)을 구비하고 절연 영역(BR) 외부에는 제 2형 확산 영역(330, 350)을 구비한다.

<41> 제 3 웰(W3)은 제 2 웰(W2)에 인접하여 배치되며 제 1 전압(VSS)을 수신하는 제 1형 확산 영역(360)을 구비한다. 제 2 웰(W2) 내부의 절연 영역(BR)은 제 1 웰(W1)의 제 1형 확산 영역(320)과 함께 바이폴라 정션 트랜지스터(Bipolar Junction Transistor : BJT)(Q1)를 형성하여 제 1 웰(W1)로부터 제 3 웰(W3)로 흐르는 전류를 차단한다.

<42> 이하, 도 3 및 도 4를 참조하여 본 발명에 따른 반도체 장치의 동작을 설명한다.

<43> 도 3 및 도 4를 참조하면, 제 1 웰(W1)은 외부 핀이 연결되는 패드(P1)에 연결되며 웰 바이어스 전압(VDD)을 수신하는 제 1형 확산 영역(320)을 구비한다.

<44> 제 1 웨尔(W1)은 N 웨尔이다. 그리고 웨尔 바이어스 전압(VDD)은 전원 전압이다. 제 1 웨尔(W1)의 제 1형 확산 영역(320)은 N 형 불순물로 형성된다. 패드(P1)가 연결되는 영역은 제 2형 확산 영역(310)으로 만들어진다. 제 2형 확산 영역(310)은 P 형 불순물로 형성된다.

<45> 제 2 웨尔(W2)은 제 1 웨尔(W1)에 인접하여 배치되며 내부에 절연 영역(BR)을 구비하고 절연 영역(BR) 외부에는 제 2형 확산 영역(330, 350)을 구비한다.

<46> 좀 더 설명하면, 제 2 웨尔(W2)은 제 1 서브 웨尔(SW1), 제 2 서브 웨尔(SW2) 및 제 3 서브 웨尔(SW3)을 구비한다. 제 1 서브 웨尔(SW1)은 절연 영역(BR)과 제 1 웨尔(W1) 사이에 배치되며 제 2형 확산 영역(330)을 구비한다. 제 2 서브 웨尔(SW2)은 절연 영역(BR)과 제 3 웨尔(W3) 사이에 배치되며 제 2형 확산 영역(350)을 구비한다. 절연 영역(BR)은 제 1형 확산 영역(340)을 구비하는 제 3 서브 웨尔(SW3) 이다.

<47> 제 1 서브 웨尔(SW1)은 P 웨尔이고, 제 1 서브 웨尔(SW1)의 제 2 확산 영역(330)에는 제 1 전압(VSS)이 인가된다. 제 2 서브 웨尔(SW2)은 P 웨尔이고, 제 2 서브 웨尔(SW2)의 제 2 확산 영역(350)에는 제 1 전압(VSS)이 인가된다.

<48> 제 3 서브 웨尔(SW3)은 N 웨尔이고, 제 3 서브 웨尔(SW3)의 제 1 확산 영역(340)에는 제 2 전압(V2)이 인가된다. 제 3 웨尔(W3)은 제 2 웨尔(W2)에 인접하여 배치되며 제 1 전압(VSS)을 수신하는 제 1형 확산 영역(360)을 구비한다. 제 3 웨尔(W3)은 디플리션(depletion) 형태(type)의 모스트랜지스터를 만들 수 있으며, 제 1 전압(VSS)은 접지 전압이다.

<49> 제 1 웨尔(W1)과 제 1 서브 웨尔(SW1)은 도 1의 종래의 래이 아웃과 동일하게 PNP 형 바이폴라 정션 트랜지스터(Q1)를 형성한다. 그리고, 바이폴라 정션 트랜지스터(Q1)의 베이스(B)와 컬렉터(C) 사이에는 이미 역방향의 전압이 인가되어 있으므로 이미터(A)와 베이스(B)사이에 순방

향의 전압이 인가되면 바이폴라 정션 트랜지스터(Q1)는 액티브(active) 상태가 되어 전류(IC1)가 흐른다.

<50> 그런데 패드(P1)에 전류 테스트를 위하여 고전압, 즉 전원 전압(VDD)과 PN 정션의 턴 온 전압을 더한 전압 레벨 이상을 가지는 전압이 인가되므로 바이폴라 정션 트랜지스터(Q1)는 액티브 상태가 된다. 따라서 전류(IC1)가 흐른다.

<51> 제 1 웨尔(W1)의 제 1 형 확산 영역(320)과 제 1 서브 웨尔(SW1)의 제 2 형 확산 영역(330) 및 제 3 서브 웨尔(SW3)의 제 1 형 확산 영역(340)은 NPN 형 바이폴라 트랜지스터(Q2)를 형성한다.

<52> 그런데 제 3 서브 웨尔(SW3)의 제 1 확산 영역(340)에 인가되는 제 2 전압(V2)의 전압 레벨을 조절하여 NPN 형 바이폴라 정션 트랜지스터(Q2)의 이미터(D)와 베이스(C) 사이에 역방향의 전압이 인가되도록 할 수 있다.

<53> 즉, 본 발명에서 제 2 전압(V2)은 제 1 웨尔(W1)의 제 1 확산 영역(320), 제 1 서브 웨尔(SW1)의 제 2 확산 영역(330) 및 제 3 서브 웨尔(SW3)의 제 1 확산 영역(340)으로 형성되는 바이폴라 트랜지스터(Q2)의 베이스(C)와 이미터(D) 사이에 역방향 전압을 발생시킬 수 있는 전압 레벨이다.

<54> 그러면 바이폴라 정션 트랜지스터(Q2)는 컷 오프(cut-off) 동작 모드에 있게된다. 따라서 전류(IC1)는 제 3 웨尔(W3) 방향으로 흐를 수 없으며 래치-업(Latch-Up) 현상을 방지할 수 있다.

<55> 제 2 웨尔(W2) 내부의 절연 영역(BR)의 기능은 제 1 웨尔(W1)의 제 1형 확산 영역(320)과 함께 바이폴라 정션 트랜지스터(Bipolar Junction Transistor : BJT)(Q2)를 형성하여 제 1 웨尔(W1)로부터 제 3 웨尔(W3)로 흐르는 전류를 차단하는 것이다.

<56> 따라서 반도체 장치(300)의 전류 테스트 시, 패드(P1)로 고전압이 인가되어도 래치-업(Latch-Up)에 의한 전류 흐름을 방지할 수 있어 반도체 장치(300)에 결함이 발생되는 것을 막을 수 있다.

<57> 또한 도 3의 본 발명에 따른 절연 영역(BR)을 구비하는 반도체 장치(300)의 제 2 웨尔(W2)의 레이 아웃 면적은 도 1의 종래의 P 웨尔(PW)의 면적의 약 25%정도로 줄일 수 있다. 도 1의 종래의 P 웨尔(PW)의 면적을 $12X$ (X는 레이 아웃 면적을 표시하는 기본 단위이다.)로 표시할 때 도 3의 제 2 웨尔(W2)의 레이 아웃 면적은 약 $3X$ 로 표시될 수 있다.

<58> 도 4를 참조하면, 제 2 웨尔(W2)의 절연 영역(BR)이 제 1 웨尔(W1)을 둘러싸는 구조인 것을 알 수 있다. 제 2 웨尔(W2)의 절연 영역(BR), 즉 제 3 서브 웨尔(SW3)이 패드(P1)가 연결되는 제 1 웨尔(W1)을 둘러싸거나 또는 제 1 웨尔(W1)과 수평하게 배치되어야 제 1 웨尔(W1)에서 발생되는 전류(IC1)를 효과적으로 방지할 수 있다.

<59> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<60> 상술한 바와 같이 본 발명에 따른 반도체 장치는 패드에 고전압을 인가하여 전류 테스트를 할 경우 래치-업(Latch-Up)에 의한 전류의 흐름을 방지할 수 있어 반도체 장치에 발생되는 결함을 제거하는 장점이 있다.

【특허청구범위】**【청구항 1】**

외부 펈이 연결되는 패드에 연결되며 웰 바이어스 전압을 수신하는 제 1형 확산 영역을 구비하는 제 1 웰(well) ;

상기 제 1 웰에 인접하여 배치되며 내부에 소정의 절연 영역을 구비하고 상기 절연 영역외부에는 제 2형 확산 영역을 구비하는 제 2 웰 ;

상기 제 2 웰에 인접하여 배치되며 제 1 전압을 수신하는 제 1형 확산 영역을 구비하는 제 3 웰을 구비하고,

상기 제 2 웰 내부의 상기 절연 영역은,

상기 제 1 웰의 상기 제 1형 확산 영역과 함께 바이폴라 정션 트랜지스터(Bipolar Junction Transistor : BJT)를 형성하여 상기 제 1 웰로부터 상기 제 3 웰로 흐르는 전류를 차단하는 것을 특징으로 하는 반도체 장치 .

【청구항 2】

제 1항에 있어서, 상기 제 2 웰은,

상기 절연 영역과 상기 제 1 웰 사이에 배치되며 제 2형 확산 영역을 구비하는 제 1 서브 웰 ;

상기 절연 영역과 상기 제 3 웰 사이에 배치되며 제 2형 확산 영역을 구비하는 제 2 서브 웰을 구비하고,

상기 절연 영역은,

제 1형 확산 영역을 구비하는 제 3 서브 웰인 것을 특징으로 하는 반도체 장치 .

【청구항 3】

제 2항에 있어서, 상기 제 1 서브 웨일은,

P 웨일이고, 상기 제 1 서브 웨일의 상기 제 2 확산 영역에는 상기 제 1 전압이 인가되며,

상기 제 2 서브 웨일은,

P 웨일이고, 상기 제 2 서브 웨일의 상기 제 2 확산 영역에는 상기 제 1 전압이 인가되는 것을 특징으로 하는 반도체 장치.

【청구항 4】

제 2항에 있어서, 상기 제 3 서브 웨일은,

N 웨일이고, 상기 제 3 서브 웨일의 상기 제 1 확산 영역에는 제 2 전압이 인가되는 것을 특징으로 하는 반도체 장치.

【청구항 5】

제 4항에 있어서,

상기 제 1 전압은 접지 전압이고,

상기 제 2 전압은,

상기 제 1 웨일의 제1 확산 영역, 상기 제 1 서브 웨일의 제 2 확산 영역 및 상기 제 3 서브 웨일의 제 1 확산 영역으로 형성되는 바이폴라 트랜지스터의 베이스와 이미터 사이에 역방향 전압을 발생시킬 수 있는 전압 레벨인 것을 특징으로 하는 반도체 장치.

【청구항 6】

제 1항에 있어서,

상기 제 1 웨일 및 상기 제 3 웨일은 N 웨일인 것을 특징으로 하는 반도체 장치.

【청구항 7】

제 1항에 있어서,

상기 제 1 웨의 상기 제 1형 확산 영역에 인가되는 웨 바이어스 전압은,

전원 전압인 것을 특징으로 하는 반도체 장치.

【청구항 8】

제 1항에 있어서, 상기 패드가 연결되는 영역은,

제 2형 확산 영역으로 만들어지는 것을 특징으로 하는 반도체 장치.

【청구항 9】

제 1항에 있어서,

상기 제 1형 확산 영역은 N 형 불순물로 형성되고, 상기 제 2형 확산 영역은 P 형 불순물로 이루어지는 것을 특징으로 하는 반도체 장치.

【청구항 10】

제 1항에 있어서, 상기 제 2 웨의 상기 절연 영역은,

상기 제 1 웨를 둘러싸는 구조인 것을 특징으로 하는 반도체 장치.

【청구항 11】

제 1항에 있어서, 상기 제 3 웨은,

디플리션(depletion) 형태(type)의 모스 트랜지스터를 만들 수 있는 것을 특징으로 하는 반도체 장치.

【청구항 12】

외부 핀이 연결되는 패드에 연결되며 웰 바이어스 전압을 수신하는 N형 확산 영역을 구비하고, 상기 패드 부근은 P형 확산 영역으로 만들어지는 제 1 N웰(well) ;

상기 제 1 N웰에 인접하여 배치되며 내부에 소정의 절연 영역을 구비하고 상기 절연 영역외부에는 접지 전압을 수신하는 제 P형 확산 영역을 구비하는 제 1 P웰 ; 및

상기 제 1 P웰에 인접하여 배치되며 접지 전압을 수신하는 N형 확산 영역을 구비하는 제 2 N웰을 구비하고,

상기 제 1 P웰 내부의 상기 절연 영역은,

제어 전압을 수신하는 N형 확산 영역을 구비하는 제 3 N웰인 것을 특징으로 하는 반도체 장치 .

【청구항 13】

제 12항에 있어서, 상기 제 1 P 웰은,

상기 절연 영역과 상기 제 1 N웰 사이에 배치되며 P형 확산 영역을 구비하는 제 1 서브 P웰 ;

상기 절연 영역과 상기 제 2 N웰 사이에 배치되며 P형 확산 영역을 구비하는 제 2 서브 P웰을 구비하는 것을 특징으로 하는 반도체 장치 .

【청구항 14】

제 13항에 있어서,

상기 제 1 N 웰의 N형 확산 영역과 상기 제 1 서브 P 웰의 P형 확산 영역 및 상기 절연 영역의 N형 확산 영역은 바이폴라 정션 트랜지스터(Bipolar Junction Transistor : BJT)를 구

성하여 상기 제 1 N웰로부터 상기 제 2 N 웰로 흐르는 전류를 차단하는 것을 특징으로 하는 반도체 장치.

【청구항 15】

제 14항에 있어서,

상기 제어 전압은,

상기 제 1 N 웰의 N형 확산 영역과 상기 제 1 서브 P 웰의 P형 확산 영역 및 상기 절연 영역의 N형 확산 영역으로 이루어지는 바이폴라 트랜지스터의 베이스와 이미터 사이에 역방향 전압을 발생시킬 수 있는 전압 레벨인 것을 특징으로 하는 반도체 장치.

【청구항 16】

제 12항에 있어서,

상기 제 1 N웰의 상기 N형 확산 영역에 인가되는 웰 바이어스 전압은,

전원 전압인 것을 특징으로 하는 반도체 장치.

【청구항 17】

제 12항에 있어서, 상기 제 1 P웰의 상기 절연 영역은,

상기 제 1 N웰을 둘러싸는 구조인 것을 특징으로 하는 반도체 장치.

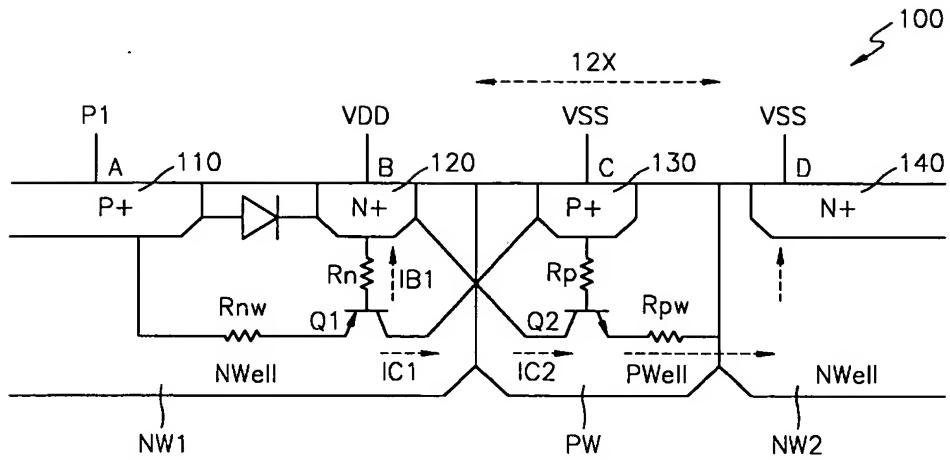
【청구항 18】

제 12항에 있어서, 상기 제 2 N웰은,

디플리션(depletion) 형태(type)의 모스 트랜지스터를 만들 수 있는 것을 특징으로 하는 반도체 장치.

【도면】

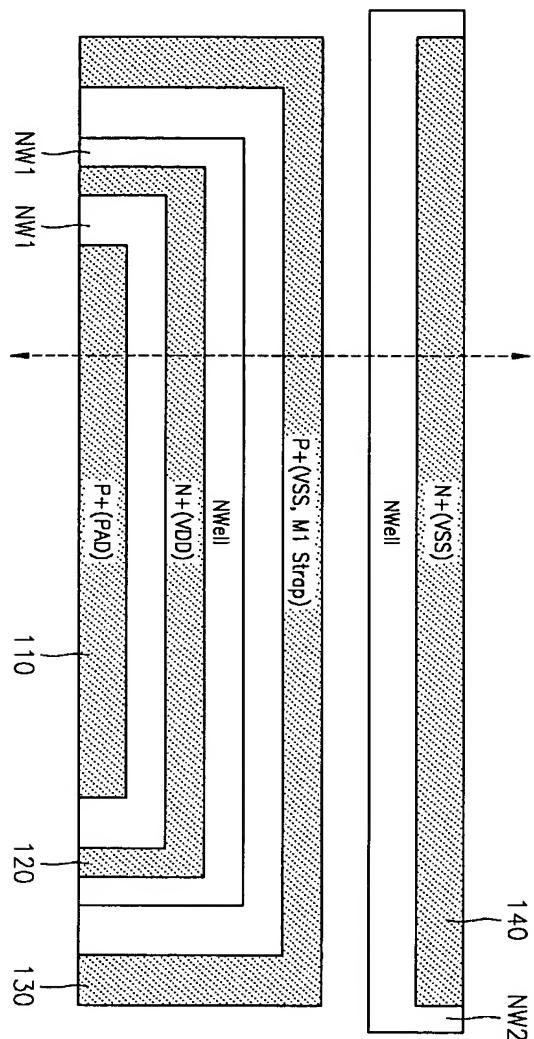
【도 1】



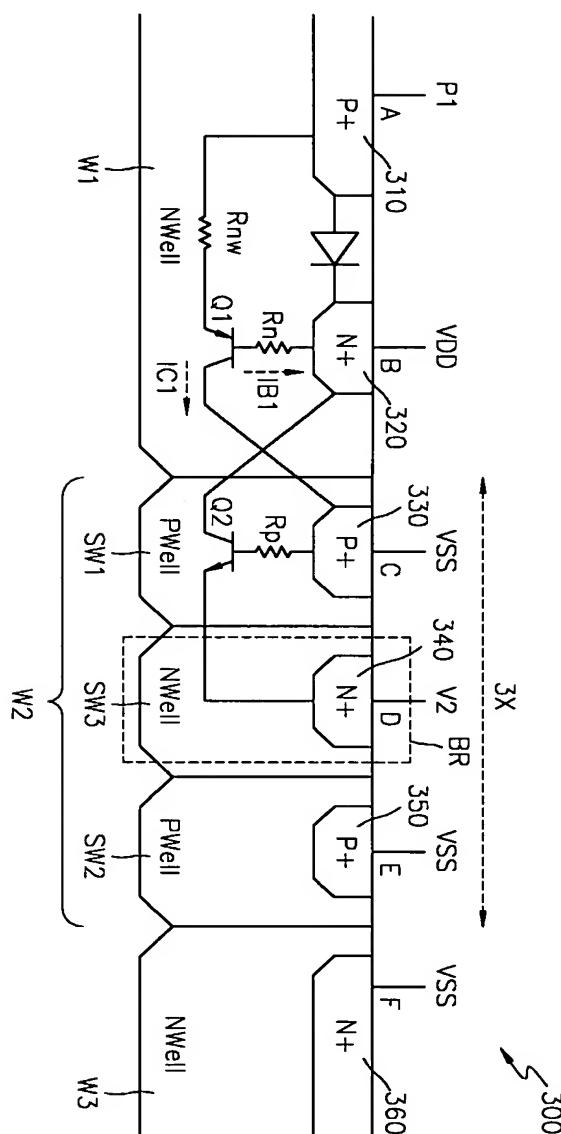
1020030028176

출력 일자: 2003/11/20

【도 2】



【도 3】



【도 4】

